

# Tecnología EPT

*Ramiro Álvarez\*, Neftalí Núñez\*, Fco. Javier Jiménez\*, Jorge Marcos\*\**

*\* Departamento de Electrónica Física. Universidad Politécnica de Madrid*

[ralvarez@euitt.upm.es](mailto:ralvarez@euitt.upm.es), [nnunez@euitt.upm.es](mailto:nnunez@euitt.upm.es), [fjjimen@euitt.upm.es](mailto:fjjimen@euitt.upm.es)

*\*\*Departamento de Tecnología Electrónica. Universidad de Vigo. [acevedo@uvigo.es](mailto:acevedo@uvigo.es)*

**Resumen—La nueva tecnología EPT (Electronic Plasturgy Technology) utiliza nuevos materiales polímeros conductivos y no conductivos, denominados “plastrónicos” y que son procesados mediante “plasturgia electrónica” para conseguir circuitos micro o macroelectrónicos, tanto para señal como para potencia. Esta tecnología es una buena alternativa a algunas de las actuales.**

**Mediante esta ponencia los autores pretenden dar a conocer los materiales empleados, su procesado y la fiabilidad conseguida. Además se propone una terminología para esta nueva tecnología, y para los materiales utilizados en su procesado.**

**Para los materiales, su procesado y su tecnología, se proponen denominaciones específicas que son respectivamente “plastrónicos”, “plasturgia electrónica” y EPT (Electronic Plasturgy Technology).**

**Palabras Clave—Plasturgia, Plastrónica, Polímero, EPT, ECAS, ICAS, ACAS.**

## I. INTRODUCCIÓN

De la experiencia acumulada durante muchos años en la investigación y docencia de grado y postgrado de esta tecnología a base de materiales polímeros, se extraen los resultados que muestran sus características y prestaciones, que justifican la necesidad de su enseñanza en los nuevos planes de estudio.

En este trabajo se van a exponer los fundamentos de la tecnología plastrónica, así como sus características puestas de manifiesto mediante los resultados de los ensayos realizados. Se comparan dichas características con las de otras tecnologías y se valora su alternativa ecológica y técnica, para su aplicación en los sectores del gran público, profesional, militar y espacial.

Por otra parte y desde hace mucho tiempo se viene utilizando una terminología no adecuada para denominar a un grupo de materiales polímeros y los correspondientes procesos de conformación, que se aplican en tecnologías macro y microelectrónicas.

Es muy frecuente encontrar en la literatura técnica los nombre genéricos de “resinas polímeras” para los materiales y SMCA (Surface Mount Conductive Adhesive) para la tecnología de ensamblado SMT de los componentes SMD. No todos los adhesivos tienen propiedades conductivas y, por tanto, la denominación SMCA solo se puede aplicar a este caso.

Los autores proponen el nombre de EPT (Electronic Plasturgy Technology) para la tecnología que se ocupa de procesar por plasturgia electrónica los materiales de base polímera para las aplicaciones electrónicas siguientes:

- Redes conductoras con cruces (croosovers).
- Integración de componentes pasivos capacitivos.
- Protección y encapsulado.

Para el conjunto de materiales polímeros aplicables en macro y microelectrónica, como los citados, se propone la denominación de “materiales plastrónicos”, por ser específicos de la circuitería electrónica y su procesado. En la literatura inglesa se usan los siguientes acrónimos:

- EPT - Electronic Plasturgy Technology
- ECA - Electroconductive Adhesive
- ICA - Isotropic Conductive Adhesive
- ACA - Anisotropic Conductive Adhesive
- NCA - No Conductive Adhesive
- RCA - Resistive Conductive Adhesive
- PCB - Printed Circuit Board
- SMCA - Surface Mount Conductive Adhesive

## II. MATERIALES PARA LA TECNOLOGÍA EPT

Dentro de este grupo pueden incluirse los materiales polímeros, conductores, semiconductores, aislantes, dieléctricos, de protección, encapsulado y pasivación, siguientes:

- ICAs (Isotropic Conductive Adhesive).
- ACAs (Anisotropic Conductive Adhesive).
- NCAs (No Conductive Adhesive).
- RCAs (Resistive Conductive Adhesive).

Los materiales citados y sus procesos EPT suponen una necesaria alternativa a las tecnologías actuales SMT de ensamblado sin Pb (Free Lead Soldering), que pueden cubrir sectores como el militar y espacial, porque pueden conseguir circuitos más fiables, ya que emplean un perfil térmico menos estresante para los dispositivos.

El mecanismo de conductividad de los ECAs es por electrones portadores de carga, que debido a la estructura de los ECAs, deben superar una barrera de potencial mayor que en el caso de una nube electrónica, debido a la existencia de un “efecto tunel”, figura 1. Por ello se caracterizan por una resistividad volumétrica inicial más elevada que la de los conductores de la fase metálica. La aparición de un “efecto tunel” determina una buena conductividad isotrópica (ICAs) o anisotrópica (ACAs).

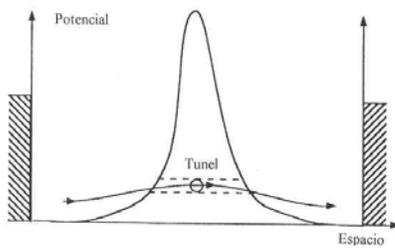


Fig. 1. Efecto Tunel

La anisotropía resistiva en los ACAs viene determinada por la forma, tamaño y cantidad de los granos metálicos, y por el contacto intergranular de su estructura, que puede presentar direcciones preferentes, pero efectivas en los tres ejes x, y, z. El modelo de cálculo para la conductividad es el deducido de la teoría de conductores (1).

$$\sigma = n\mu e \quad (1)$$

En los ICAs la isotropía se consigue mediante la combinación de dos efectos: el térmico durante la polimerización y el mecánico por las tensiones, tanto del propio peso del componente ensamblado, como por las superficiales. Como resultado de estos dos efectos se rompe el anillo protector de polímero que rodea a los granos metálicos y se abre a la conductividad en una dirección espacial. La resistividad “r” presenta una caída abrupta o escalón a partir de un determinado % en volumen de fase metálica presente “V<sub>x</sub>”, figura 2.

Los NCAs presentan buenas propiedades dieléctricas y, por tanto, aislantes lo que posibilita sus aplicaciones en la integración de componentes capacitivos y en crossovers. En el grupo de RCAs se incluyen los materiales resistivos lineales y no lineales para la integración de los componentes pasivos (resistores fijos, variables y ajustables, y los NTC, PTC).

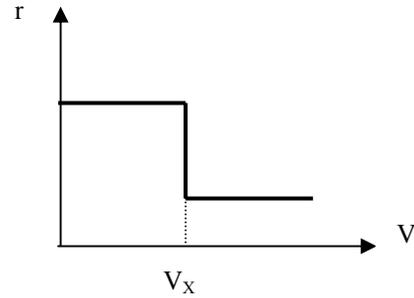


Fig. 2. Variación de la resistividad con el volumen

Las prestaciones y aplicaciones de los materiales plastrónicos vienen determinadas por sus propiedades antes y después del ciclo térmico de polimerización: Antes: Viscosidad, densidad, granulometría, caducidad (pot-life), ciclo de polimerización o de fotoreticulación por UVAs. Después: Resistividad volumétrica, dureza Shore D, microcizallamiento (Shear Test), conductividad térmica, transición elastomérica T<sub>g</sub>, coeficiente de dilatación antes y después de T<sub>g</sub>, tasa de carga de gases, carga de iones, etc.

### III. PROCESOS DE ENSAMBLADO EPT

El proceso de ensamblado en esta tecnología tiene una serie de operaciones que se deben realizar de forma secuencial, tal como se indica en el diagrama de secuencia de operaciones de la figura 3.

### IV. FIABILIDAD

Para determinar la fiabilidad se pueden emplear las técnicas de ensayos acelerados, análisis de fallos y la predicción de la tasa de fallos “λ” (FR-Failure Rate) con el banco de datos del MIL-HDBK-217 del DOD (USA).

Con el objetivo de poner de manifiesto las características de esta tecnología y teniendo en cuenta que las causas, modos y mecanismos de fallo en EPT se basan en sus propiedades eléctricas y termomecánicas resultantes del proceso, y que la estabilidad funcional durante el LCC (Life Cost Cycle) depende mucho de la humedad, se va a ensayar el circuito oscilador de onda cuadrada de la figura 4, cuyo BOM se representa en la tabla I.

De las posibles líneas de procesado: PBAs, HCTF, etc., se ha elegido la HCTF con componentes pasivos integrados y SMDs, y SMDs para todos los activos.

El circuito ensamblado con Pb/Sn se representa en la figura 5. Para comparar la fiabilidad entre las dos líneas se ha ensamblado otro circuito, figura 6, en tecnología EPT (sólo ensamblado) con el plastrónico E205 y un ciclo de polimerización de 10 minutos a 150 °C.

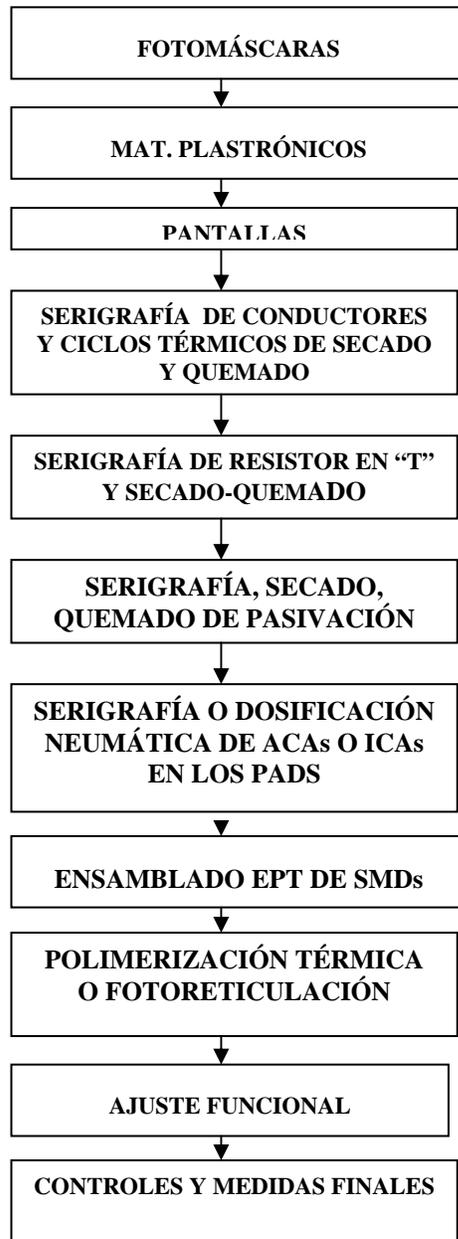


Fig. 3. Proceso de ensamblado en EPT

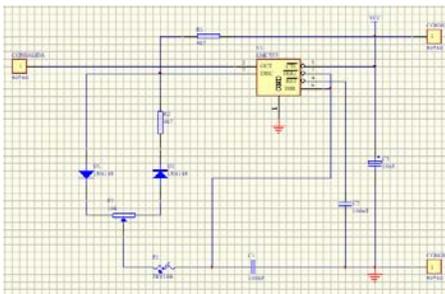


Fig. 4. Circuito oscilador

TABLA I

Used	Part Type	Designator	Footprint	Description
2	1N4148	D1 D2	me1f1	Diode
2	4k7	R1 R2	1206	
1	5kY16k	P1	RAJ	
1	10k	P2	POTSMD	Potentiometer
1	10uF	C3	C3SMD	Electrolytic Capacitor
3	80*60	CONGND CONSALIDA CONVCC	CON1	Connector
2	100nF	C1 C2	1206	Capacitor
1	LMC555	U1	SO-8	Timing Circuit

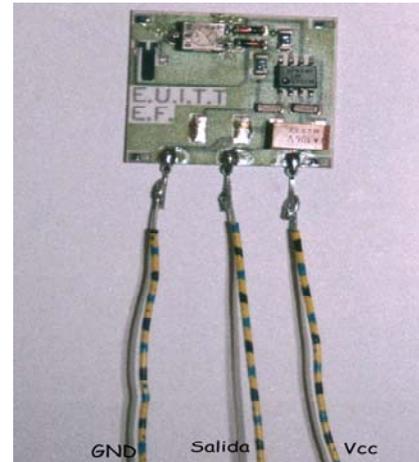


Fig. 5. Ensamblado con Pb/Sn

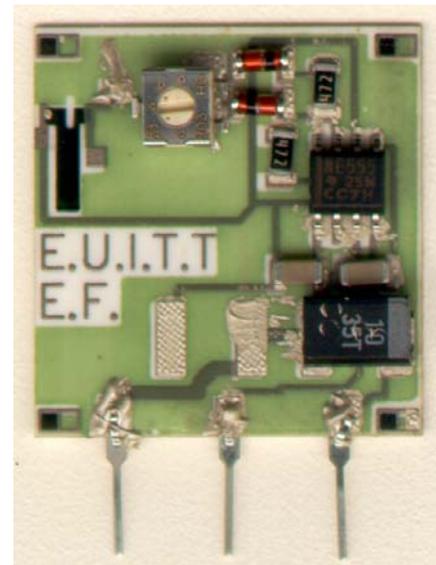


Fig. 6. Ensamblado con EPT

Para determinar la adhesión de los componentes se han realizado ensayos de microcizallamiento (Shear Test). La medida de la “adhesión de los componentes y chips SMDs” viene especificada por la norma MIL-STD-883E, método 2019, que consiste en aplicar una fuerza cortante  $F_c$  por medio de un útil especial, en forma de arista, a los componentes microencapsulados SMDs o chips ensamblados sobre una PCB, alúmina, acero, flexibles,  $N_2Al_3$ , etc., figura 7.

El ensayo puede ser destructivo o no destructivo. En el primer caso, se aumenta progresivamente la fuerza cortante aplicada a partir de cero hasta 5 Kg. (50 N). Se registra la fuerza de ruptura, si esta se llega a producir. En el caso de

ensayo no destructivo, se limita la fuerza cortante aplicada a un valor razonable, por ejemplo 1,5 veces el valor del límite impuesto por la norma citada, figura 8 y de acuerdo con la expresión (2).

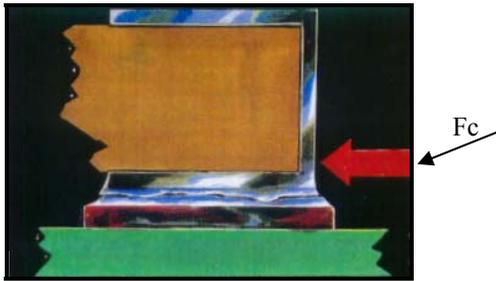


Fig. 7. Ensayo de microcizallamiento

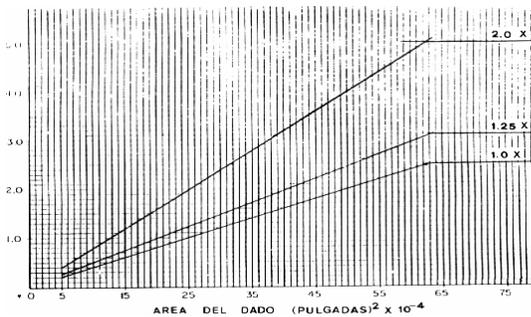


Fig. 8. Fuerza aplicable en ensayos no destructivos

$$\tau = \frac{F_C}{A} \quad (2)$$

Para determinar los modos, causas y mecanismos de fallo se aplican los siguientes criterios:

1. Rotura en el límite 1,0X.
2. Separación de menos del 25% por encima del límite, 25X con menos del 50% de la superficie del chip o, en su caso de la de los pads SMDs, recubierta de material de unión (aleación de soldadura o plastrónico conductor ACA).
3. Separación de menos del 100% por encima del límite 2,0X con menos del 10% de la superficie del chip o pads de los SMDs recubierto por el material de unión (aleación de soldadura o plastrónico conductor ACA).

La superficie eventual de los restos de silicio del chip o de las terminaciones de los SMDs se debe restar de las superficies definidas en los puntos 2 y 3.

Se pueden considerar cuatro tipos de textura:

1. Separación del chip o SMD con restos de material (Si o del SMD).
2. Separación con materiales de aportación de la unión.
3. Cizallamiento o esfoliación del material de aportación de la unión.

4. Se constata el envejecimiento del material después del desmontaje.

Los resultados dependen mucho de la preparación y encastramiento de los materiales de unión. Como los valores medidos presentan una dispersión, se precisan de cuatro a seis unidades para extraer valores estadísticos (función de densidad y distribución de fallos, media, dispersión). El procedimiento a seguir es el siguiente:

- Se halla la superficie total de adhesión (ej. 0,01 cm<sup>2</sup>).
- Se anotan los valores de los esfuerzos obtenidos (2,34 - 1,50 - 2,62 - 1,95 Kg.).
- Se debe indicar el ciclo de polimerización (5 minutos a 150° C).
- Se deben incluir las condiciones de interfase: Pegado de chip sobre alúmina. Relación de mezcla 2/3. Medida en máquina de Shear Test como la de la figura 7. Temperatura ambiente. Humedad Relativa RH ambiente (ciclos 85 °C./85 % HR).
- Para este ejemplo se obtiene una resistencia al microcizallamiento de 210 Kg/cm<sup>2</sup>.
- Cabe esperar para los ECAs valores medios superiores a 270 kg/cm<sup>2</sup>.
- Adhesión de los SOT23: 300, 270, 320 gramos.

Por otra parte se debe tener en cuenta:

- La disipación de potencia de los ECAs: 1 a 2 W/inch<sup>2</sup>.
- La densidad de corriente de los ECAs: 10 A/cm<sup>2</sup>.

Los datos anteriores determinan la aplicación de los circuitos EPT en señal y potencia. En la tabla II se resumen los resultados del ensayo de microcizallamiento (Shear Test).

Para las uniones plasturgicas EDB (Epoxy Die Bonder) se observan en los circuitos los fallos incluidos en la tabla III.

Todas las causas de fallo mencionadas están relacionadas con alguno de los modos de fallo siguientes:

- Fluencias debidas a procesos de aplicación y curado defectuosos.
- Cristalizaciones de la aleación de soldadura que favorecen la fragilidad de esta.
- Desplazamiento e interdifusión de los materiales que forma la unión.
- Corrosión y efecto del agua sobre las soldaduras.
- Incompatibilidad de metales y aleaciones entre las cargas conductoras de los plastrónicos y los acabados más habituales de los circuitos (Cu, Sn, Sn/Pb, Ni y Au).

En la tabla IV se muestra la importancia de la calidad estructural de las uniones y que un proceso de soldadura con adhesivos sea fiable y duradero, para que sea aplicable. En caso contrario su utilización dispararía la tasa de fallo de los circuitos ensamblados. En la figura 9 se observan defectos y fallos del circuito EPT.

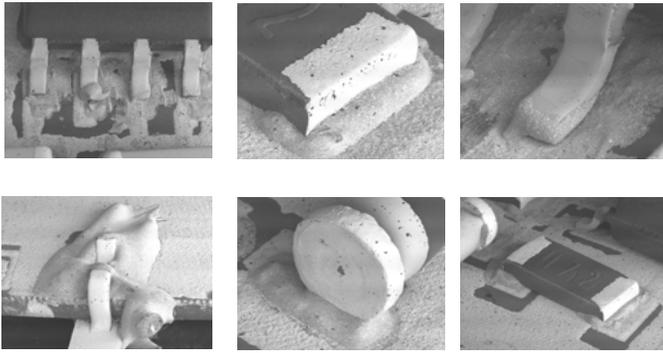


Fig. 9. Defectos y fallos del circuito EPT

TABLA II

Compon.	Encap.	Fcm (Kg.) Adh.EPT (E205)	Fcm (Kg.) Adh. No EPT (Pb/Sn)
-D1, D2	MELF1	3,5	5
-R1, R2	1206	4	5,5
-P2	POTSMD	5	6
-P1	RAJ	Integrado	Integrado
-C1	1206	3	4
-C2	1206	3	4
-C3	1206	3,5	4
-U1	SO-8	2	3
-Conectores	CON1	2,5	4

TABLA III

Circuito	Fallo	Causa
-No EPT	c.a.	Falta de mojado
-EPT	c.a.	Separación de las capas de E205
-No EPT	c.a.	Fisuración

Para la predicción de la FR se pueden emplear para la tecnología EPT los bancos de datos y modelos de cálculo corregidos del MIL-HDBK-217, sobre todo los factores de ambiente  $\Pi_E$ , introduciendo factores de maduración de fecha y de actualización tecnológica. Para ambientes con RH elevados la relación puede llegar a tener valores de  $(FR)_{EPT}/(FR)_{noEPT} = 10^3 \div 10^6$ . Lo anterior no permite aplicaciones en dichos ambientes, excepto bajo atmósfera inerte. Para el resto la adhesión de los SMDs es inferior en un factor 2,5, pero suficiente.

#### IV. ENSEÑANZA E INVESTIGACIÓN EN EPT

Los contenidos necesarios para una adecuada formación en esta tecnología se pueden distribuir en los tres bloques indicados en la figura 10. Los tópicos a desarrollar, tanto en docencia como en investigación, se indican para cada caso en la tabla V.

TABLA IV

Tipo de fallo	Defectos (%)	Clase	¿Influye la soldadura?
---------------	--------------	-------	------------------------

Abierto (c.a.)	25 %	Estructural	Sí
Insuficiente	18%	Estructural	Sí
Corto (c.c.)	13%	Estructural	Sí
Comp. Desaparece eléctricamente	12%	Estructural	No
Desalineamiento	8%	Estructural	Sí
Comp. Defectuoso eléctricamente	8%	Eléctrico	No
Comp. equivocado.	5%	Eléctrico	No
Exceso de soldadura	3%	Estructural	Sí
Comp. Desaparece físicamente	2%	Estructural	Sí
Orientación errónea	2%	Eléctrico	No
Comp. Defectuoso físicamente	2%	Estructural	No
Otros	%	Eléctrico	Sí

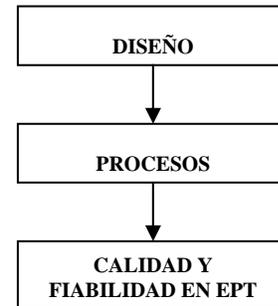


Fig. 10. Bloques formativos

#### V. APLICACIONES

La tecnología EPT genera un gran número de aplicaciones en sectores tan diversos como el gran público, militar y espacial. Podemos citar, entre otras, las siguientes:

- Realización de circuitos SMT “todo EPT”.
- Circuitos con SMDs sólo ensamblados en EPT.
- Integración de componentes resistivos lineales y no lineales.
- Reparaciones y mantenimiento de circuitos no EPTs (PBAs, Híbridos, etc.) y EPTs.
- Teclados flexibles.
- Tecnología EDB (Epoxy Die Bonder).
- Protección “Glob-Top”.
- Epoxy Bonder de fibras ópticas.
- Protección de chips biológicamente compatible (proyecto de investigación sobre sensores laringológicos).

TABLA V

FORMACIÓN DE GRADO
<b>Bloques temáticos:</b>
<ul style="list-style-type: none"> <li>• Formación en diseño de circuitos EPT</li> <li>• Formación teórica y práctica en procesos EPT</li> <li>• Calidad y Fiabilidad de circuitos EPT</li> </ul>
<b>Puntos a desarrollar (Topics):</b>

<ul style="list-style-type: none"> <li>• Definiciones y términos</li> <li>• Materiales plastrónicos y sus características eléctricas, mecánicas, reológicas y tixotrópicas</li> <li>• Mecanismos de conductividad de los ECAs</li> <li>• Componentes para EPT</li> <li>• Diseño asistido de componentes integrables en EPT y de circuitos</li> <li>• Procesos EPT</li> <li>• Calidad y Fiabilidad y sus controles</li> </ul>
<b>FORMACIÓN DE POSTGRADO</b>
<p><b>Objetivos:</b></p> <ul style="list-style-type: none"> <li>• Actualización en diseño de circuitos y componentes EPT</li> <li>• Actualización en nuevos materiales y procesos EPT</li> </ul> <p><b>Bloques temáticos:</b></p> <ul style="list-style-type: none"> <li>• Materiales plastrónicos</li> <li>• Ensayos de caracterización de materiales plastrónicos</li> <li>• Diseño y simulación de circuitos EPT</li> <li>• Procesado de circuitos EPT</li> <li>• Calidad y fiabilidad de circuitos EPT</li> <li>• Prácticas de procesado y ensayos de materiales y circuitos EPT</li> </ul>
<b>LÍNEAS DE INVESTIGACIÓN</b>
<ul style="list-style-type: none"> <li>• Diseño de implantación todo EPT o sólo ensamblado</li> <li>• Formulación de nuevos plastrónicos</li> <li>• Caracterización de nuevos procesos</li> <li>• Confiabilidad de circuitos EPT (FR, MTBF, etc.)</li> </ul>

estamos trabajando desde los años 70. Todos ellos han sido registrados en la UPM.

#### REFERENCIAS

- [1] Zhaowei Zhong, "Flip Chip assemblies using gold bumps and adhesive", *Microelectronics Internatioanl* 18/3/2001.
- [2] Jhon H. Lau, C. P. Wong, Ning Cheng Lee, S. W. Ricky Lee. *Electronics Manufacturing*. McGraw-Hill.
- [3] Ramiro Álvarez Santos. "Caracterización de pastas polímeras". *Rev. Eurofach Electrónica* n° 228, 1995, p. 60-64.
- [4] Nefalí Núñez Mendoza. "La electrónica de polímero: Panorámica". *Rev. Mundo Electrónico*. Mayo 2000.
- [5] Nefalí Núñez , Rubén Guerrero. "Tintas polímeras de capa gruesa". *Rev. Eurofach Electrónica*, Octubre 2000, p.p. 59-63.

#### VI. CONCLUSIONES

En este trabajo se expone un análisis de la tecnología basada en materiales polímeros para aplicaciones electrónicas y en el que se han abordado los siguientes aspectos:

- Las denominaciones actuales para designar a los materiales y su procesado no son adecuadas.
- Se propone la denominación de "materiales plastrónicos" para designar al conjunto de materiales de base polímera aplicables en las tecnologías macro y microelectrónicas.
- Dado que el acrónimo SMCA (Surface Mount Conductive Adhesive) representa sólo a los materiales ensamblados con adhesivos conductores y teniendo en cuenta que son muchos más los materiales que se emplean, se propone el acrónimo EPT (Electronic Plasturgy Technology) para denominar al procesado por "plasturgia electrónica" de todos los "materiales plastrónicos" en la realización de circuitos macro y microelectrónicos.
- Se trata de una nueva tecnología en la que hay que investigar e impartir formación de grado y postgrado para "ponerse al día".
- Se ha valorado la fiabilidad ante la causa de fallo más probable en ambientes con humedad relativa elevada. En otros ambientes es suficiente.
- Se evita la degradación y pérdida de fiabilidad encapsulando en atmósfera inerte.
- Esta es la primera presentación en la que aparece el acrónimo de la tecnología EPT y el nombre de "plastrónicos" para denominar a esta nueva tecnología y los materiales empleados en las que